

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-181913

(43)Date of publication of application : 21.07.1995

(51)Int.Cl.

G09G 3/18
G02F 1/133
G02F 1/133
G09G 3/36

(21)Application number : 05-324566

(71)Applicant : CANON INC

(22)Date of filing : 22.12.1993

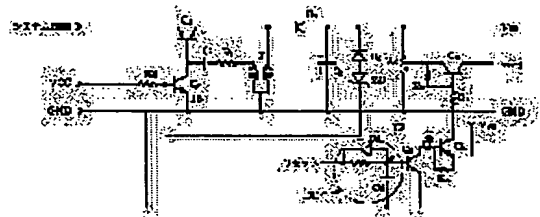
(72)Inventor : KITAMURA HIROKI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To prevent latch-up of a driver by placing a voltage for contrast adjustment in an open state until a start and supplying it to the device.

CONSTITUTION: An $m \times n$ -dot liquid crystal display 1 is driven with $1/L$ ($n \geq L \geq n/2$) duty, and the voltage for contrast adjustment is provided separately from a display power source. The current from a system power source is switch-controlled depending a load state and a Z state of the time constant of a transformer, and a resistance and a capacitor to supply a specific voltage, and the switch function is constituted by transistors (TR) Q1 and Q2, a resistance R1, a capacitor C, and a transformer T. Here, delay is give so that $T_d > L \times TLCK$, where TLCK is a line synchronization time right after the start and T_d is the time from the start to the start of the power source for contrast adjustment of the liquid crystal display. Further, the voltage for contrast adjustment is placed in the open state until the start and supplied to the liquid crystal display device.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

特開平7-181913

(43)公開日 平成7年(1995)7月21日

(51) Int.Cl.⁸

識別記号

庁内整理番号

FI

技術表示箇所

G O 9 G 3/18

G O 2 F 1/133

520

5 7 5

G O 9 G 3/36

審査請求 未請求 請求項の数3 O.L (全 11 頁)

(21)出願番号

特願平5-324566

(22) 出題日

平成5年(1993)12月22日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 北村 宏記

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

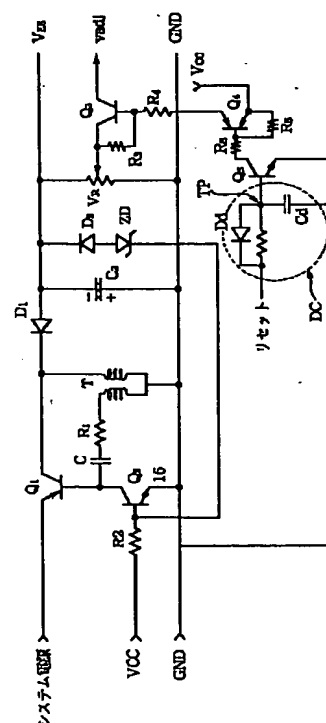
(74)代理人 弁理士 丸島 儀一

(54) 【発明の名称】 液晶ディスプレイ装置

(57) 【要約】

【目的】 液晶ディスプレイ (LCD) の直流印加保護・ドライバ IC のラッチアップ防止。

【構成】 システム始動からLCD用電源の始動開始までの時間を T_d と、LCD駆動信号周期 $T_{LCK} \cdot LCD$ のデューティ1より算出される時間の関係が $T_d > 1 \times T_{LCK}$ であり、LCD用電源が始動されるまでは、LCDのコントラスト調整用電圧 V_{adj} が、開放電圧となる。



【特許請求の範囲】

【請求項1】 $m \times n$ ドットの液晶ディスプレイを $1/L$ ($n \geq L \geq n/2$) デューティで駆動し、コントラスト調整用の電圧を表示用電源とは別に持つ液晶ディスプレイ装置において、前記液晶ディスプレイの表示用の電源、電圧を供給する液晶ディスプレイ制御装置において、

始動直後のライン同期時間を T_{LCK} 、始動から前記液晶ディスプレイのコントラスト調整用電源始動開始までの時間を T_d とする時、 $T_d > L \times T_{LCK}$ となる様に遅延をかける前記液晶ディスプレイ制御装置であって、コントラスト調整用の電圧が始動し始めるまでは、開放状態として前記液晶ディスプレイ装置に供給されることを特徴とする前記液晶ディスプレイ制御装置。

【請求項2】 $m \times n$ ドットの液晶ディスプレイを $1/L$ ($n \geq L \geq n/2$) デューティで駆動し、コントラスト調整用の電圧を表示用電源とは別に持つ液晶ディスプレイ装置において、前記液晶ディスプレイの表示用の電源、電圧を供給する液晶ディスプレイ制御装置において、

始動直後のライン同期時間を T_{LCK} 、始動から前記液晶ディスプレイの表示用電源始動開始までの時間を T_d とする時、 $T_d > L \times T_{LCK}$ かつ表示用電源の立ち上がり時間を T_d 以上となる様に遅延をかける前記液晶ディスプレイ制御装置であって、コントラスト調整用の電圧が表示用の電圧が始動し始めるまでは、開放状態として前記液晶ディスプレイ装置に供給されることを特徴とする前記液晶ディスプレイ制御装置。

【請求項3】 $m \times n$ ドットの液晶ディスプレイを $1/L$ ($n \geq L \geq n/2$) デューティで駆動し、表示用の照明を背後から供給するバックライト部を一体で構成する液晶ディスプレイ装置において、前記液晶ディスプレイの表示用の電源、電圧、及びバックライト部用の電源を供給する液晶ディスプレイ制御装置において、始動直後のライン同期時間を T_{LCK} 、始動から前記液晶ディスプレイのバックライト部用電源始動開始までの時間を T_d とする時、 $T_d > L \times T_{LCK}$ とする事の特徴とする液晶ディスプレイ制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶パネル表示器として用いる液晶表示制御装置に関する。

【0002】

【従来の技術】 図11に示すバッテリー動作を可能とする情報処理機器は、バッテリーから得られる単一電圧をもとに、ロジック制御電圧・液晶用電圧等をDC-DCコンバータにより作成し、各制御ブロックに供給される。バッテリーとACアダプタを相互に使用できるものも電源部の構成は同一である。

【0003】 情報処理装置の電源立ち上げ時の信号関係は、主に、ロジック制御用電圧（一般的に+5V）が立ち上っている時、ロジック部の初期動作を確定させるためのリセット信号がロジック部に供給され、ロジック制御用信号が立ち上った後、所定時間後リセット信号が解除され、ロジック部が動作する。この所定時間は、ロジックに使用されるクロック発振部の安定時間と、クロック安定後内部の処理部を確定するのに必要なクロック数から決定される。このリセット期間に液晶ディスプレイ（LCD）を制御する信号としてのセグメントクロック（SCK）、ラインクロック（LCK）、フレームクロック（FCK）が発行されない場合がある。この時、LCD側に、ロジック制御用電圧と同じタイミングで+5V（ V_{DD} ）が供給されていると、LCD内で交流化信号を派生できないため、直流電圧印加現象がLCDのセルに発生する。

【0004】

【発明が解決しようとする課題】 しかし、前記従来例による設計では、表示用電源の始動をロジック制御用電源の立ち上り後、または、リセットの解除直後行う場合が多く、この時表示用電源の V_{EE} の立ち上りは急峻なものとなる。これに併せて表示体のLCDに供給された信号により、LCD内のドライバーICが駆動されるが、このドライバー自体はロジック制御用電源の V_{CC} の立ち上りによるイニシャル機能がないため、内部レジスタが不定であり、コモンドライバーが複数ライン同時にonをする事があり、LCDのバックライトとして使用する冷陰極間の配線によっては、この複数同時onの数が増加する。この条件下で、表示用電源の V_{EE} が供給されると、1つのコモンドライバー内での突入電流分が過剰になり、コモンドライバーがラッチアップをおこす。このラッチアップ現象は、情報処理装置内の V_{EE} の電源、 V_{CC} の電源にダメージを与える事になり、ドライバーの破壊、ドライバーの発熱によるLCD部へのダメージ等の障害を与える事となる。

【0005】

【課題を解決するための手段及び作用】 $m \times n$ ドットの液晶ディスプレイを $1/L$ ($n \geq L \geq n/2$) デューティで駆動し、コントラスト調整用の電圧を表示用電源とは別に持つ液晶ディスプレイ装置において、前記液晶ディスプレイの表示用の電源、電圧を供給する液晶ディスプレイ制御装置において、始動直後のライン同期時間を T_{LCK} 、始動から前記液晶ディスプレイのコントラスト調整用電源始動開始までの時間を T_d とする時、 $T_d > L \times T_{LCK}$ となる様に遅延をかける前記液晶ディスプレイ制御装置であって、コントラスト調整用の電圧が始動し始めるまでは、開放状態として前記液晶ディスプレイ装置に供給されることを特徴とする前記液晶ディスプレイ制御回路を提供する事により、ドライバー内が不定時には表示用電源の印加をさけ、かつ、表示用電源印加時

の突入電流を削減する事により、LCDセルへの直流印加保護とドライバーのラッチアップを防ぐ事にある。

【0006】本発明によれば、 $m \times n$ ($m \geq 640$ 、 $n \geq 400$) ドットの液晶ディスプレイであって、 $1/L$ ($n \geq L \geq n/2$) デューティで駆動し、コントラスト調整用の電圧を表示用電源とは別に持つ液晶ディスプレイ装置において、前記液晶ディスプレイの表示用の電源、電圧を供給する液晶ディスプレイ制御装置において、情報処理装置始動直後のライン同期時間を T_{LCK} とする時、前記液晶ディスプレイの表示用電源始動開始を、情報処理機器始動のリセット解除からの遅れ時間を T_d とする時、 $T_d > L \times T_{LCK}$ の条件を守り、かつ前記表示用電源の立ち上がり時間を T_d 以上となる様に遅延をかける前記液晶ディスプレイ制御装置であって、コントラスト調整用の電圧が表示用の電圧が始動し始めるまでは、開放状態として前記液晶ディスプレイ装置に供給されることを特徴とする前記液晶ディスプレイ制御回路を提供する事により、ドライバー内が不定時には表示用電源の印加をさせ、かつ、表示用電源印加時の突入電流を削減する事により、ドライバーのラッチアップを防ぐ事にある。

【0007】本発明によれば、 $m \times n$ ドットの液晶ディスプレイを $1/L$ ($n \geq L \geq n/2$) デューティで駆動し、表示用の照明を背後から供給するバックライト部を一体で構成する液晶ディスプレイ装置において、前記液晶ディスプレイの表示用の電源、電圧、及びバックライト部用の電源を供給する液晶ディスプレイ制御回路において、始動直後のライン同期時間を T_{LCK} 、始動から前記液晶ディスプレイのバックライト部用電源始動開始までの時間を T_d とする時、 $T_d > L \times T_{LCK}$ となる事を特徴とする液晶ディスプレイ制御回路を提供する事により、ドライバーが不定時にはバックライト部用電源を始動させないことにより、電源立ち上げ直後に発生する表示の不定時の横線等の表示を視認しにくくし、かつ、電源立ち上げ直後の表示画面の品位低下を防ぐ事にある。

【0008】

【実施例】図2に示すバッテリー動作を可能とする情報処理機器は、バッテリーから得られる単一電圧（システム電源）をもとに、ロジック制御用電圧 V_{CC} 、液晶用電圧 V_{EE} 等をDC-DCコンバータDC1、DC2により作成し、それぞれロジック部LU、液晶部LCDUの制御用ブロックに、またプリンタ制御部PU、他の制御部EUにはDC-DCコンバータDC3、DC4から他の電圧が供給される。バッテリーとACアダプタと相互に使用できるものも電源部の構成は同一である。

【0009】情報処理装置の電源立ち上げ時の信号関係は、主にロジック制御用電圧（一般的に+5V）が立ち上っている時、ロジック部LUの初期動作を確定させるためのリセット信号が、ロジック部LUに供給され、ロジック制御用信号が立ち上った後、所定時間後リセット

信号が解除され、ロジック部LUが操作する。この所定時間は、ロジック部LUに使用されるクロック発振部の安定時間と、クロック安定後内部の処理部を確定するのに必要なクロック数から決定される。このリセット期間に液晶部LCDUの液晶ディスプレイ（LCD）を制御する信号としてのセグメントクロック（SCK）、ラインクロック（LCK）、フレームクロック（FCK）が発行されない場合がある。この時、LCD側に、ロジック制御用電圧と同じタイミングで+5V（ V_{DD} ）が供給されていると、LCD内で交流化信号を派生できないため、直流電圧印加現象がLCDのセルに発生する。LCDの寿命に関連するため、液晶部LCDU内に、図3の様な直流印加保護回路DPCを有する液晶部LCDUが用いられる。同図に於いて、GDUは交流化信号発生部・分周部である。DPCは直流印加保護部である。DUはLCD電圧作成部である。LCDは表示体である。

【0010】図1はLCD表示用電源回路で、LCDのコントラストを調整するのに専用の制御電圧（ V_{adj} ）を使っている構成で、 V_{adj} を利用するのはコントラスト調整の可変抵抗（ V_R ）の値を変化させるのに有利な構成であり、LCDの表示用電源（ V_{EE} ）とGND又は V_{DD} 間に V_R を入れる事で実施できるものである。図3の動作はLCDに信号が供給されない間は、交流化信号が発生されない時、表示体LCDにかかる電圧を決める V_{REF} を V_{adj} から開放状態にする事により、表示体LCDにかかる電圧 $V_1 \sim V_5$ がほぼ同電位となり、表示体LCDへの直流印加が保護できる動作原理となっている。

【0011】この構成による表示体LCDを用いた情報処理装置のLCD用 V_{EE} 電源回路の始動は、表示体LCDの V_{CC} より遅れていれば良いだけである。

【0012】図1に図2に示すDC-DCコンバータ2のコントラスト調整用電圧を、別に持ち、直流印加の保護も行うLCD表示用電源回路を詳細に示す。この回路はDC-DCコンバータのうち一般的にRCC方式と呼ばれるもので、システム電源からの電流を、負荷状態によるものとトランスT及び抵抗・コンデンサ $R \cdot C$ の時定数のZ状態で、スイッチコントロールし、所定の電圧を供給するもので、そのスイッチ作用をトランジスタQ1、Q2、抵抗R1、コンデンサC、トランスTとにより構成する。トランジスタQ2スイッチを基本的に働かせるのは、 V_{CC} から供給される電流で、この電流は抵抗R2によって決定される。表示用電源の負荷特性は、トランジスタQ2のベース電流で決定されるものである。

【0013】D1はダイオードである。C2はコンデンサである。D2はダイオードである。ZDはツェナーダイオードで、トランジスタQ2に戻る。VRは可変抵抗器で、抵抗分割により作られた電圧は、スイッチとしてのトランジスタQ3を経由して V_{adj} として表示体LCDに供給される。このQ3のスイッチ動作は、リセット

信号を入力し、これを $T_d > L \times T_{LCK}$ 時間遅延させる回路DCを構成する抵抗 R_d 、ダイオード D_d 、コンデンサ C_d からの出力を用いて動作するトランジスタ Q_4 、 Q_5 のスイッチ動作により行われる。ここで、 T_{LCK} はライン同期時間、 $1/L$ はデューティ、 T_d は始動から電源始動開始までの時間。

【0014】この回路と全体との電源シーケンスを図4のタイミング図により説明する。本実施例はリセット信号が‘H’レベルでシステムの起動がスタートするものに関する。

【0015】システム電源が on されてから V_{cc} 電源の構成により決定される遅延時間分遅れて V_{cc} の電圧 S_2 が確定する。リセット信号 S_3 は、使用する回路で異なるが、電圧検出型のリセットICを使用する場合、 V_{cc} が0.7Vに達するまでは状態が不定であり、0.7V以上になると‘L’レベルになる。更にリセットICの出力の‘L’レベル期間は、外部のコンデンサ容量によって決定される。前記条件により決定された時間経過後、リセット信号 C_3 が‘H’レベルとなり、システムが起動する。この起動により、LCD用信号が発生する様に決められたロジック状態の場合、LCD用信号が発生し、LCDに供給される。リセット解除直後のラインクロック $LCKS_6$ 、フレームクロック $FCKS_7$ の周期は、分周を可変とするロジックの場合、初期状態となっており、所定周期になるのは、分周を決定するレジスタに所定分周値を書き込んでからになる。本発明における遅延時間の決定は、リセット解除直後のラインクロック LCK の周期より算出される。LCD内では、 $1/L$ デューティの時、コモン側の選択は定常時コモン側の出力線 L に対し、1個となる。しかし、 V_{cc} 印加直後、ドライバー内のレジスタが初期化されていないため、出力線 L に対し、ドライバーのICの数を k とすると、1から L/k 個の数を不特定に選択する。一方システム側から供給するフレームクロック $FCKS_7$ は $1/L$ 個の割合で‘H’を出力し、定常時に $1/L$ デューティを達成させようとする。すなわち、ラインクロック $LCKS_6$ 印加直後、LCDに V_{adj} S_5 が印加されているとドライバーとして最大 L/k 個コモン選択し突入電流がドライバーに流れ込み、ラッチアップにつながる。 $FCKS_7$ との関係から、 V_{adj} の始動を $L \times T_{LCK}$ (T_{LCK} はリセット解除直後の時間)より大きく遅延させかつ電圧開放状態とすると、コモンドライバーDUは0から1個の選択で良くなり、ラッチアップ現象を発生しなくなり、かつ直流保護回路と同等の働きをするため、LCDセルへの直流保護となる。本実施例に於いては遅延回路DCの抵抗 R_d とコンデンサ C_d による時定数をこの T_d の条件に併せて設定する。本構成ではトランジスタ Q_5 を起動させられる電圧にポイントTPの電位が達するまでの時間が T_d をこえる様に抵抗 R_d とコンデンサ C_d を決定する。ダイオード D_d は、電源 off 後、コン

デンサ C_d に蓄えられた電荷を逃し、電源 on 時の状態を常に安定させるために使用する。ポイントTPの電圧波形 S_4 で示す様に、なだらかに立ち上る($V = 5 \{1 - \exp(-t/CR)\}$ の関数による電圧波形)ためトランジスタ Q_5 のベースに流れ込む電流がなだらかになり、 V_{adj} の波形 S_5 の立ち上りもなだらかになる。LCD内に流れ込む V_{EE} の電流は、起動時はLCD各セルの電極間の液晶材に電荷を蓄えさせるために流れ込む。 V_{adj} がなだらかであれば、LCD内の各セル電極間の電位差も徐々に大きくなっていくため、突入電流が流れない。このため、ドライバーICのラッチアップも防げる。

【0016】図5には、リセット信号からの遅延の代わりに、情報処理装置のプログラムにより得られるソフト制御信号による実施回路例を示す。本回路における動作は、図4に示す $S_8LCDDSP$ の極性を‘L’で有効動作するものであり、 $S_8LCDDSP$ の極性を‘L’にするタイミングが、 $L \times T_{LCK}$ (T_{LCK} はリセット解除直後の時間)以上取ることにより達成し、処理部CPUがメモリMのプログラムを実行し、タイマTMで前述の時間が経過したら $LCDDSP$ を‘L’にする。

【0017】図6に示す他の例は、AC電源から平滑化され作られたLCDに供給する表示用電源よりも、GN Dとの電位差が大きいDC電圧から、三端子レギュレータ等により電圧を降下させて、安定化させる方式のものである。

【0018】図7に図6の電源構成における実施回路例を、図8に本実施例回路でのタイミングを示す。この例はリセット解除が‘H’レベルの時のものである。抵抗 R_4 、抵抗 R_3 、トランジスタ Q_1 はリセット回路を反転する回路で、リセット解除が‘L’の時は不要となる。遅延は抵抗 R_d とコンデンサ C_d により構成され、73の電位レベルを‘L’にするまでの時間を遅延させる事により達成する。この遅延時間は R_d 、 C_d の時定数で決定され、トランジスタ Q_2 を on にさせる電圧に73がなるまでのリセット解除後からの時間が $L \times T_{LCK}$ より大きければ良い。トランジスタ Q_2 は、トランジスタ Q_3 をスイッチさせるもので、トランジスタ Q_3 が飽和して、分割抵抗 V_R から得られる電圧が V_{adj} となり出力される。 V_{adj} は、トランジスタ Q_3 が off の間は電圧開放となり、LCDセルの直流印加を保護し、かつ、トランジスタ Q_3 が on になるのは、 $L \times T_{LCK}$ 以上遅延しているため、ドライバーICのラッチアップも防げる。

【0019】図9には、リセット信号からの遅延の代わりに、情報処理装置のプログラムにより得られるソフト制御信号による実施回路例を示す。本回路における動作は、図8に示す $LCDDSP$ の極性を‘L’で有効動作するものであり、 $LCDDSP$ の極性を‘L’にするタイミングが、 $L \times T_{LCK}$ (T_{LCK} はリセット解除直後の

7

時間)以上取ることにより達成する。

【0020】 V_{EE} と V_{adj} がドライバーをラッチアップさせるタイミングをはずして印加されるため、直流印加の保護が可能となり、ドライバーのラッチアップを防ぎ、電位もなだらかなため起動時の突入電流も削減できる。

【0021】図2に示すバッテリー動作を可能とする情報処理機器は、バッテリーから得られる単一電圧(システム電源)をもとに、ロジック制御用電圧 V_{CC} 、液晶用電源 V_{EE} 等をDC-DCコンバータDC1、DC2により作成し、それぞれロジック部LU、液晶部LCDUの制御用ブロックに、またプリンタ制御部PU、他の制御部EUにはDC-DCコンバータDC3、DC4から他の電圧が供給される。バッテリーとACアダプタと相互に使用できるものも電源部の構成は同一である。

【0022】情報処理装置の電源立ち上げ時の信号関係は、主にロジック制御用電圧(一般的に+5V)が立ち上っている時、ロジック部LUの初期動作を確定させるためのリセット信号が、ロジック部LUに供給され、ロジック制御用信号が立ち上った後、所定時間後リセット信号が解除され、ロジック部LUが操作する。この所定時間は、ロジック部LUに使用されるクロック発振部の安定時間と、クロック安定後内部の処理部を確定するのに必要なクロック数から決定される。このリセット期間に液晶部LCDUの液晶ディスプレイ(LCD)を制御する信号としてのセグメントクロック(SCK)、ラインクロック(LCK)、フレームクロック(FCK)が発行されない場合がある。この時、LCD側に、ロジック制御用電圧と同じタイミングで+5V(V_{DD})が供給されていると、LCD内で交流化信号を派生できないため、直流電圧印加現象がLCDのセルに発生する。LCDの寿命に関連するため、液晶部LCDU内に、図3の様な直流印加保護回路DPCを有する液晶部LCDUが用いられる。同図に於いて、GDUは交流化信号発生部・分周部である。DDCは直流印加保護部である。DUはLCD電圧作成部である。LCDは表示体である。

【0023】図10はLCDのコントラストを調整するのに専用の制御電圧(V_{adj})を使っている構成で、 V_{adj} を利用するのはコントラスト調整の可変抵抗(V_R)の値を変化させるのに有利な構成であり、LCDの表示用電源(V_{EE})とGND又は V_{DD} 間に V_R を入れる事で実施できるものである。図3の動作はLCDに信号が供給されない間は、交流化信号が発生されない時、表示体LCDにかかる電圧を決める V_{REF} を V_{adj} から開放状態にする事により、表示体LCDにかかる電圧 $V_i \sim V_o$ がほぼ同電位となり、表示体LCDへの直流印加が保護できる動作原理となっている。

【0024】この構成による表示体LCDを用いた情報処理装置のLCD用 V_{EE} 電源回路の始動は、表示体LCDの V_{CC} より遅れていれば良いだけである。

8

【0025】図10に図2に示すDC-DCコンバータ2のコントラスト調整用電圧を、別に持ち、直流印加の保護も行うLCD表示用電源回路を詳細に示す。この回路はDC-DCコンバータのうち一般的にRCC方式と呼ばれるもので、システム電源からの電流を、負荷状態によるものとトランスT及び抵抗・コンデンサR・Cの時間定数のZ状態で、スイッチコントロールし、所定の電圧を供給するもので、そのスイッチ作用をトランジスタQ1、Q2、抵抗R1、コンデンサC、トランスTとにより構成する。トランジスタQ2スイッチを基本的に働かせるのは、 V_{CC} から供給される電流で、この電流は抵抗R2によって決定される。表示用電源の負荷特性は、トランジスタQ2のベース電流で決定されるものである。更に、抵抗R2の入力に、リセット信号を入力し、これを遅延させる回路DCを構成する抵抗Rd、ダイオードDd、コンデンサCdからの出力を用いたものである。

【0026】D1はダイオードである。C2はコンデンサである。D2はダイオードである。ZDはツェナーダイオードで、トランジスタQ2に戻る。VRは可変抵抗器で、抵抗分割により作られた電圧は、スイッチとしてのトランジスタQ3を経由して V_{adj} として表示体LCDに供給される。このQ3のスイッチ動作は、VRで作られる電圧とリセットの電圧間を分圧する抵抗R3とR4で与えられるQ3のベースエミッタ間のバイアス電位により決定される。Q3のベースエミッタ間のバイアス電位がQ3の飽和電圧(約0.7V)以下の時、Q3はスイッチオフの状態では V_{adj} は電圧開放となり、飽和電圧以上の時、Q3はスイッチオンで V_{adj} はVRの抵抗分割で作られた電圧となる。本回路例は、R4にかかる電圧をリセット信号としたが、 V_{CC} 、GNDとしても構わず、前記の様に、Q3のベースエミッタ間のバイアス電位を所定の条件と出来ればよい。

【0027】この回路と全体との電源シーケンスを図4のタイミング図により説明する。本実施例はリセット信号が'H'レベルでシステムの起動がスタートするものに関する。

【0028】システム電源がon S1されてから V_{CC} 電源の構成により決定される遅延時間分遅れて V_{CC} の電圧S2が確定する。リセット信号S3は、使用する回路で異なるが、電圧検出型のリセットICを使用する場合、 V_{CC} が0.7Vに達するまでは状態が不定であり、0.7V以上になると'L'レベルになる。更にリセットICの出力の'L'レベル期間は、外部のコンデンサ容量によって決定される。前記条件により決定された時間経過後、リセット信号C3が'H'レベルとなり、システムが起動する。この起動により、LCD用信号が発生する様に決められたロジック状態の場合、LCD用信号が発生し、LCDに供給される。リセット解除直後のラインクロックLCK S6、フレームクロックFCK S7の

周期は、分周を可変とするロジックの場合、初期状態となっており、所定周期になるのは、分周を決定するレジスタに所定分周値を書き込んでからになる。本発明における遅延時間の決定は、リセット解除直後のラインクロック LCK の周期より算出される。LCD 内では、 $1/L$ デューティの時、コモン側の選択は定常時コモン側の出力線 L に対し、1 個となる。しかし、Vcc 印加直後、ドライバー内のレジスタが初期化されていないため、出力線 L に対し、ドライバーの IC の数を k とすると、 1 から L/k 個の数を不特定に選択する。一方システム側から供給するフレームクロック FCKS7 は $1/L$ 個の割合で 'H' を出力し、定常時に $1/L$ デューティを達成させようとする。すなわち、ラインクロック LCKS6 印加直後、LCD に VEE S5 が印加されているとドライバーとして最大 L/k 個コモン選択し突入電流がドライバーに流れ込み、ラッチアップにつながる。FCKS7 との関係から、VEE の始動を $L \times T_{LCK}$ (T_{LCK} はリセット解除直後の時間) より大きく遅延させるとコモンドライバー DU は 0 から 1 個の選択で良くなり、ラッチアップ現象を発生しなくなる。本実施例に於いては遅延回路 DC の抵抗 R d とコンデンサ C d による時定数をこの T d の条件に併せて設定する。本構成ではトランジスタ Q2 を起動させられる電圧にポイント TP の電位が達するまでの時間が T d をこえる様に抵抗 R d とコンデンサ C d を決定する。ダイオード D d は、電源 off 後、コンデンサ C d に蓄えられた電荷を逃がし、電源 on 時の状態を常に安定させるために使用する。ポイント TP の電圧波形 S4 で示す様に、なだらかに立ち上る ($V = 5 \{1 - \exp(-t/CR)\}$ の関数による電圧波形) ためトランジスタ Q2 のベースに流れ込む電流がなだらかになり、VEE の波形 S5 の立ち上りもなだらかになる。LCD 内に流れ込む VEE の波形 S5 の電流は、起動時は LCD 各セルの電極間の液晶材に電荷を蓄えさせるために流れ込む。VEE の波形 S5 がなだらかであれば、Vadj は、トランジスタ Q3・抵抗 R3・抵抗 R4 によりトランジスタ Q3 が off の間は電圧開放となり、LCD セルの直流印加を保護し、かつ、トランジスタ Q3 が on になると VEE に追従するため、Vadj の波形 S8 もなだらかになり、LCD 内の各セル電極間の電位差も徐々に大きくなっていくため、突入電流が流れない。このため、ドライバー IC のラッチアップも防げる。

【0029】図 6 に示す他の例は、AC 電源から平滑化され作られた LCD に供給する表示用電源よりも、GND との電位差が大きい DC 電圧から、三端子レギュレータ等により電圧を降下させて、安定化させる方式のものである。

【0030】図 12 に図 6 の電源構成における実施回路例を、図 13 に本実施例回路でのタイミングを示す。この例はリセット解除が 'H' レベルの時のものである。

抵抗 R4、抵抗 R3、トランジスタ Q1 はリセット回路を反転する回路で、リセット解除が 'L' の時は不要となる。遅延は抵抗 R d とコンデンサ C d により構成され、73 の電位レベルを 'L' にするまでの時間を遅延させる事により達成する。この遅延時間は R d、C d の時定数で決定され、トランジスタ Q2 を on にさせる電圧に 73 になるまでのリセット解除後からの時間が $L \times T_{LCK}$ より大きければ良い。トランジスタ Q2 は、トランジスタ Q3 をスイッチさせるもので、トランジスタ Q3 が飽和して、レギュレータ RG に負電源の電圧がそのまま供給される。トランジスタ Q3 が飽和するまでの間、トランジスタ Q3 のコレクタ電圧は徐々に負電源の電圧に向かっていくレギュレータ RG では、VEE を安定に出力するのに必要な GND との電位差がトランジスタ Q3 のコレクタに出るまで、出力がなだらかになる。この必要な GND との電位差以上にトランジスタ Q3 のコレクタと GND との電位差がなった時レギュレータ RG は VEE を出力する。Vadj は VEE と GND から作られるため、VEE の波形がなだらかであれば、Vadj は、トランジスタ Q3・抵抗 R7・抵抗 R8 によりトランジスタ Q4 が off の間は電圧開放となり、LCD セルの直流印加を保護し、かつ、トランジスタ Q4 が on になると VEE に追従するため、Vadj の波形もなだらかになり、LCD 内の各セル電極間の電位差も徐々に大きくなっていくため、突入電流が流れない。このため、ドライバー IC のラッチアップも防げる。

【0031】VEE と Vadj がドライバーをラッチアップさせるタイミングをはずして印加されるため、直流印加の保護が可能となり、ドライバーのラッチアップを防ぎ、電位もなだらかなため起動時の突入電流も削減できる。

【0032】図 14 に示すバッテリー動作を可能とする情報処理機器は、バッテリーから得られる単一電圧 (システム電源) をもとに、ロジック制御用電圧 Vcc を DC-DC コンバータ DC1 により作成しロジック部 LU に、液晶用電圧 VEE を DC-DC コンバータ DC2 により作成し、液晶のバックライト用電圧は DC-DC コンバータ DC3 により作成された電圧からインバータで作成され、それぞれ、液晶部 LCDU の制御用ブロックに、またプリンタ制御部 PU、他の制御部 EU には DC-DC コンバータ DC4、DCn から他の電圧が供給される。バッテリーと AC アダプタと相互に使用できるものも電源部の構成は同一である。

【0033】情報処理装置の電源立ち上げ時の信号関係は、主にロジック制御用電圧 (一般的に +5V) が立ち上っている時、ロジック部 LU の初期動作を確定させるためのリセット信号が、ロジック部 LU に供給され、ロジック制御用信号が立ち上った後、所定時間後リセット信号が解除され、ロジック部 LU が操作する。この所定時間は、ロジック部 LU に使用されるクロック発振部の

安定時間と、クロック安定後内部の処理部を確定するのに必要なクロック数から決定される。このリセット期間に液晶部LCDUの液晶ディスプレイ(LCD)を制御する信号としてのセグメントクロック(SCK)、ラインクロック(LCK)、フレームクロック(FCK)が発光されない場合がある。この時、LCD側に、ロジック制御用電圧と同じタイミングで+5V(V_{DD})が供給されていると、LCD内で交流化信号を派生できないため、直流電圧印加現象がLCDのセルに発生する。LCDの寿命に関連するため、液晶部LCDU内に、図3の様な直流印加保護回路DPCを有する液晶部LCDUが用いられる。同図に於いて、GDUは交流化信号発生部・分周部である。DDCは直流印加保護部である。DUはLCD電圧作成部である。LCDは表示体である。

【0034】図15はLCDのコントラストを調整するのに専用の制御電圧(V_{adj})を使っている構成で、V_{adj}を利用するのはコントラスト調整の可変抵抗(V_R)の値を変化させるのに有利な構成であり、LCDの表示用電源(V_{EE})とGND又はV_{DD}間にV_Rを入れる事で実施できるものである。図3の動作はLCDに信号が供給されない間は、交流化信号が発生されない時、表示体LCDにかかる電圧を決めるV_{REF}をV_{adj}から開放状態にする事により、表示体LCDにかかる電圧V_i~V_sがほぼ同電位となり、表示体LCDへの直流印加が保護できる動作原理となっている。

【0035】この構成による表示体LCDを用いた情報処理装置のLCD用V_{EE}電源回路の始動は、表示体LCDのV_{CC}より遅れていれば良いだけである。

【0036】本発明における信号関係を図16のタイミング図により説明する。本実施例はリセット信号が‘H’レベルでシステムの起動がスタートするものに関する。

【0037】システム電源がon S1されてからV_{CC}電源の構成により決定される遅延時間分遅れてV_{CC}の電圧S2が確定する。リセット信号S3は、使用する回路で異なるが、電圧検出型のリセットICを使用する場合、V_{CC}が0.7Vに達するまでは状態が不定であり、0.7V以上になると‘L’レベルになる。更にリセットICの出力の‘L’レベル期間は、外部のコンデンサ容量によって決定される。前記条件により決定された時間経過後、リセット信号C3が‘H’レベルとなり、システムが起動する。この起動により、LCD用信号が発生する様に決められたロジック状態の場合、LCD用信号が発生し、LCDに供給される。リセット解除直後のラインクロックLCKS6、フレームクロックFCKS7の周期は、分周を可変とするロジックの場合、初期状態となっており、所定周期になるのは、分周を決定するレジスタに所定分周値を書き込んでからになる。本発明における遅延時間の決定は、リセット解除直後のラインクロックLCKの周期より算出される。LCD内では、1/

Lデューティの時、コモン側の選択は定常時コモン側の出力線Lに対し、1個となる。しかし、V_{CC}印加直後、ドライバー内のレジスタが初期化されていないため、出力線Lに対し、ドライバーのICの数をkとすると、1からL/k個の数を不特定に選択する。一方システム側から供給するフレームクロックFCKS7は1/L個の割合で‘H’を出力し、定常時に1/Lデューティを達成させようとする。すなわち、ラインクロックLCKS6印加直後、LCDにV_{EE}S5が印加されているとドライバーとして最大L/k個コモン選択し、また表示データも不定であるから、不要な横線が発生する。この時、バックライトが点灯されていると、この横線が明確になり、電源投入直後の表示品位が低下して見える。また、LCD内のドライバーに使用される信号が不定時に、LCDに使用されるバックライトに使用される高電圧が印加されていると、ドライバーの初期データが‘H’になり易く、前記横線の数が更に増えることになる。

【0038】本発明は、このS4バックライトに印加される高電圧のタイミングを始動直後のライン同期時間をT_{LCK}、始動から前記液晶ディスプレイのバックライト部用電源始動開始までの時間をT_dとする時、T_d>L×T_{LCK}とする事により、電源投入直後の表示品の低下を防ぐことにある。

【0039】図17に示す図は、インバータの一般的な回路構成を示す。入力されるDC電圧をQ3、Q4のトランジスタを交互にスイッチングさせることによりAC電圧化させ、T1により高圧に昇圧する構成となっている。

【0040】図1に本発明における第1の実施例の回路図を示す。本実施例は、インバータに入力されるDC電圧をT_d>L×T_{LCK}の条件を満たす様に遅らせて供給することにより達成するものであり、図1の遅延回路DCの抵抗R_dとコンデンサC_dによる時定数をT_dの条件に合わせて設定する。本構成ではトランジスタQ2を起動させられる電圧にポイントTPの電位が達するまでの時間がT_dを超える様に抵抗R_dとコンデンサC_dを決定する。ダイオードDdは電源off後、コンデンサC_dに蓄えられた電荷を逃し、電源on時の状態を常に安定させるために使用する。

【0041】図18に、上記タイミングを示す。

【0042】図19に本発明における他の実施例の回路図を示す。本実施例は、図17に示したインバータにおいて、インバータ始動コントロール信号をT_d>L×T_{LCK}の条件を満たす様に供給するものであり、(a)は、実施例と同様に、リセット信号から遅延させて上記始動コントロール信号を供給する場合の構成である。

(b)は、ロジック制御部から直接信号として、コントロール信号を供給する場合であり、この時はその信号の印加タイミングを情報処理装置内のプログラムとしてソフトコントロールが可能である。

【0043】

【発明の効果】以上の説明の様に、情報処理装置のリセット信号から $L \times T_{Lck}$ より大にLCDの負電源始動を遅らせて、かつ、 V_{adj} が電圧開放から負電源の始動後電圧が供給され始めるため、更に、負電源印加時の突入電流も削減できることから、

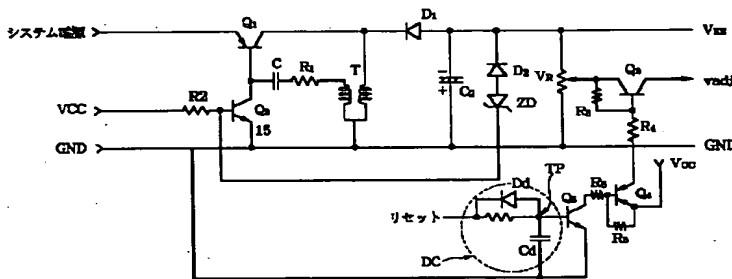
- (1) LCDドライバのラッチアップ現象を防止できる。
- (2) ラッチアップを防止するため、LCDの品質を劣化させない。
- (3) 突入電流が少なくなるため、負電源回路へのダメージがなくなる。
- (4) 直流印加の保護が出来る。

【0044】以上の説明の様に、情報処理装置のリセット信号から $L \times T_{Lck}$ より大にLCDのバックライトの始動を遅らせるため、かつ、LCD内のドライバーの‘H’レベルの数を減らすため、電源投入後横線の視認性を落とし、表示品位を低下させない。

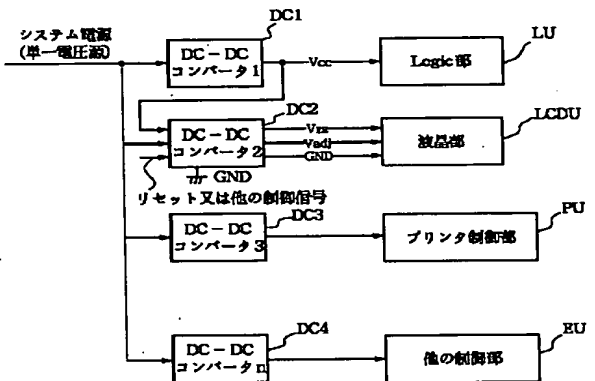
【図面の簡単な説明】

- 【図1】第1の実施例を示す回路図。
 【図2】電源の全体を示す図。
 【図3】液晶部LCDの回路図。
 【図4】タイミングチャート。

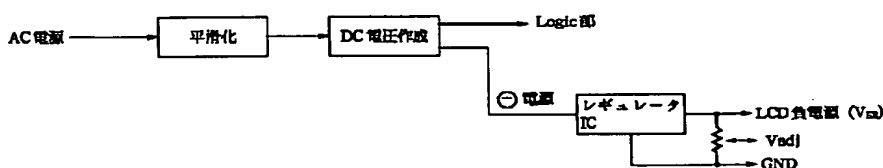
【図1】



【図2】



【図6】



【図5】第1の実施例において、ソフト制御信号による実施回路図例（第2の実施例）を示す図。

【図6】本発明による第3の実施例を示す図。

【図7】図5に示すLCDU2の詳細図。

【図8】タイミングチャート。

【図9】第3の実施例において、ソフト制御信号による実施回路図例（第4の実施例）を示す図。

【図10】実施例を示す回路図。

【図11】タイミングチャート。

10 【図12】図6に示すLCDU2の詳細図。

【図13】タイミングチャート。

【図14】実施例を示す回路図。

【図15】電源の全体を示す図。

【図16】液晶用電源の回路図。

【図17】タイミングチャート。

【図18】インバータの一般的な回路図。

【図19】第1の実施例におけるタイミングチャート。

【図20】他の実施例を示す図。

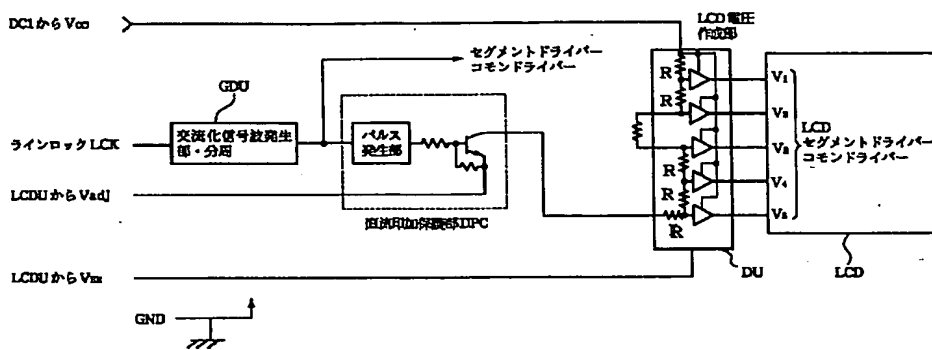
【図21】従来例を示す図。

20 【符号の説明】

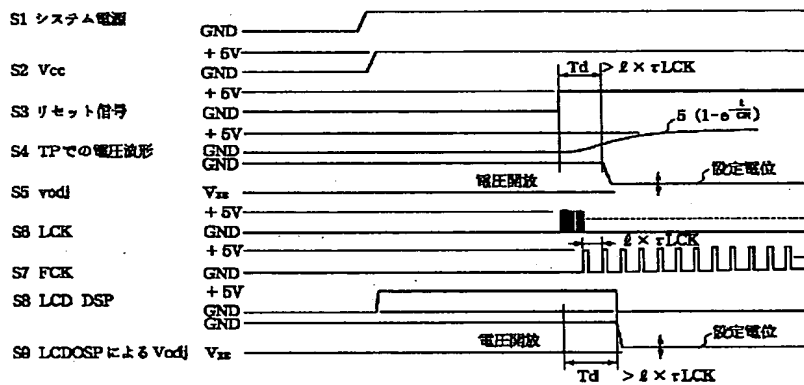
DC 遅延回路

V_{adj} 制御電圧

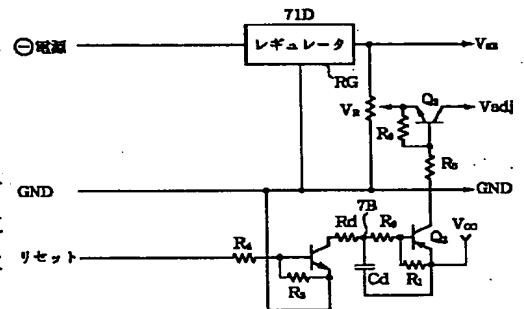
【図 3】



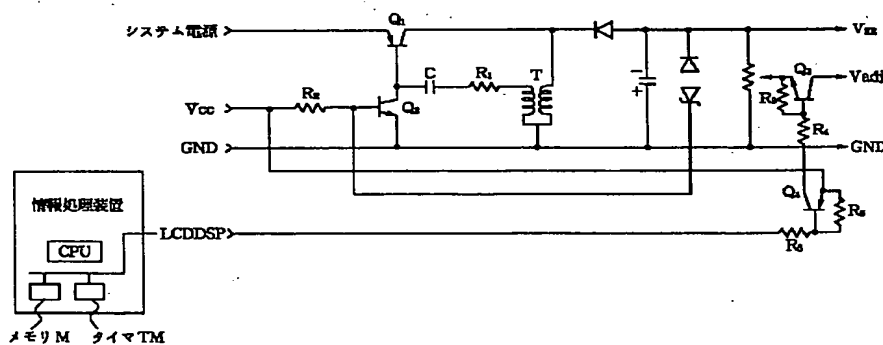
【図 4】



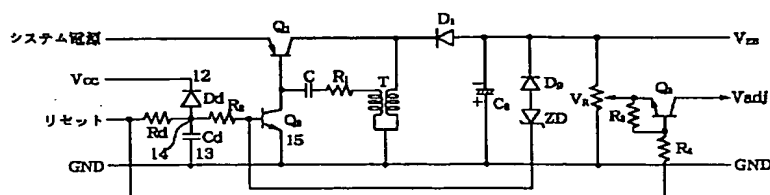
【図 7】



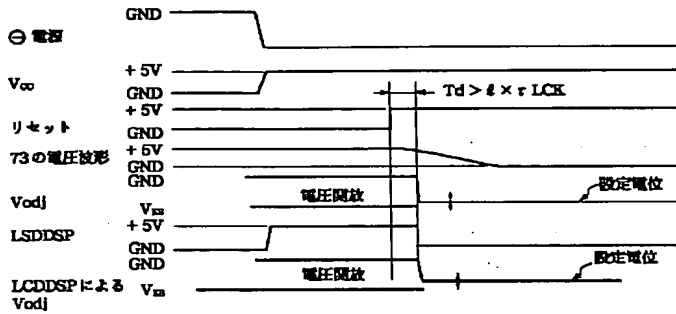
【図 5】



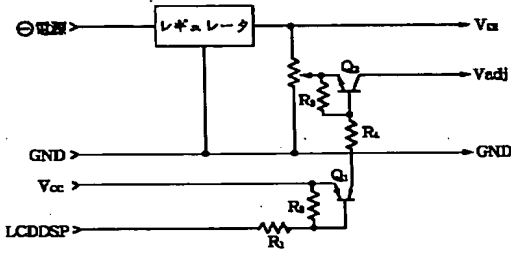
【図 10】



【図 8】

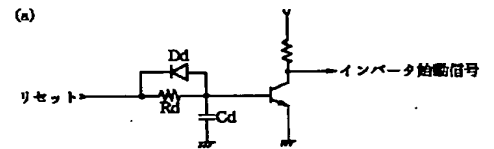
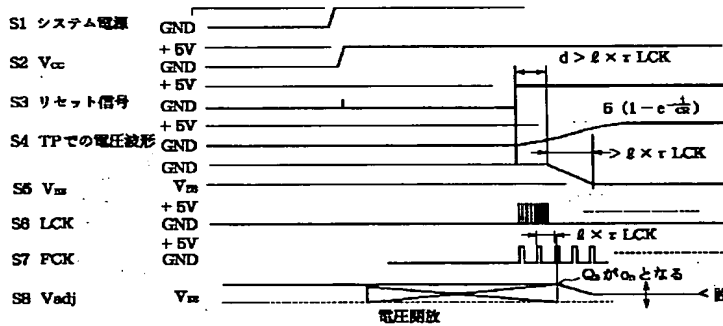


【図 9】

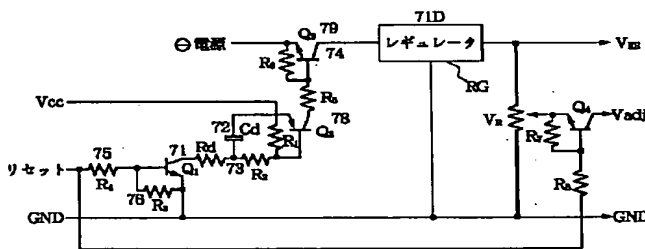


【図 20】

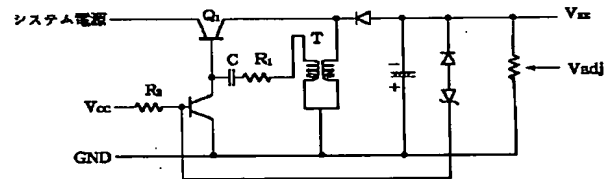
【図 11】



【図 12】

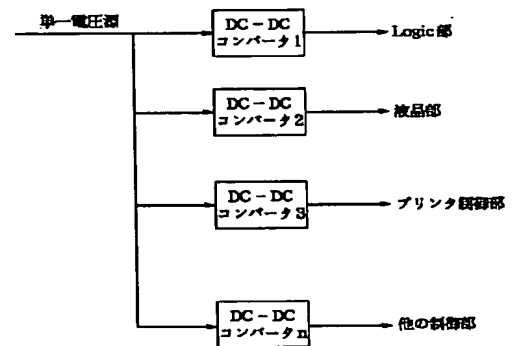
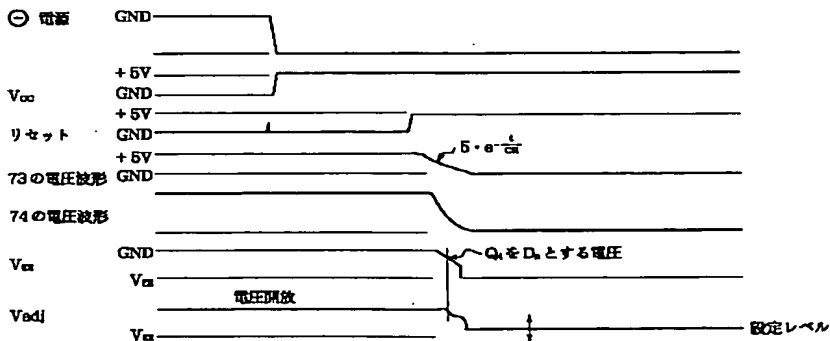


【図 16】

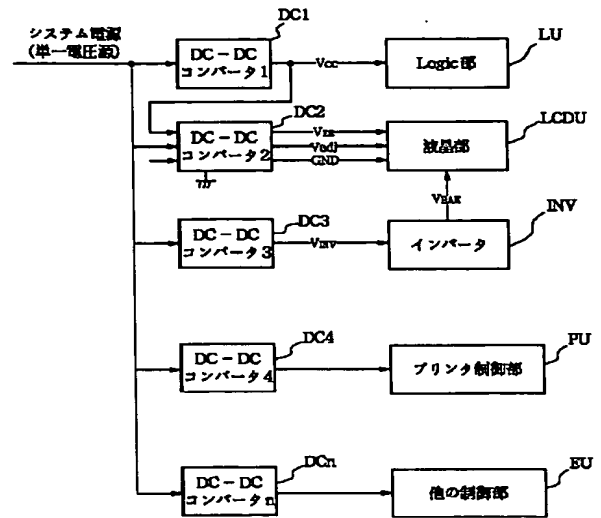


【図 21】

【図 13】



【図 15】



S1 システム電源

S2 Vcc

S3 リセット信号

S4 バックライト電圧

S5 V_{ez}

S6 LCK

S7 FCK

GND

+5V

+5V

+5V

+V_{BAT}

GND

-V_{BAT}

GND

V_{ez}

GND

+5V

+5V

GND

GND

$r_d > 2 \times r_{LCK}$

$2 \times r_{LCK}$

Timing diagram for the 74VHC04 inverter circuit. The diagram shows the relationship between several signals:

- S1 システム電源 (System Power)
- S2 Vcc
- S3 リセット信号 (Reset Signal)
- S8 TPの電圧 (TP Voltage)
- S9 インバータへの入力電圧 (Inverter Input Voltage)
- S4 バックライト電圧 (Backlight Voltage)
- S6 LCK
- S7 PCK

Annotations:

- $rd > t \times LCK$
- Q2がオンする電圧 (Voltage at which Q2 turns on)
- $t \times LCK$